

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

10-233100

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

G11C 29/00

G01R 31/28

G11C 11/22

G11C 14/00

G11C 11/401

(21)Application number : 09-036608

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 20.02.1997

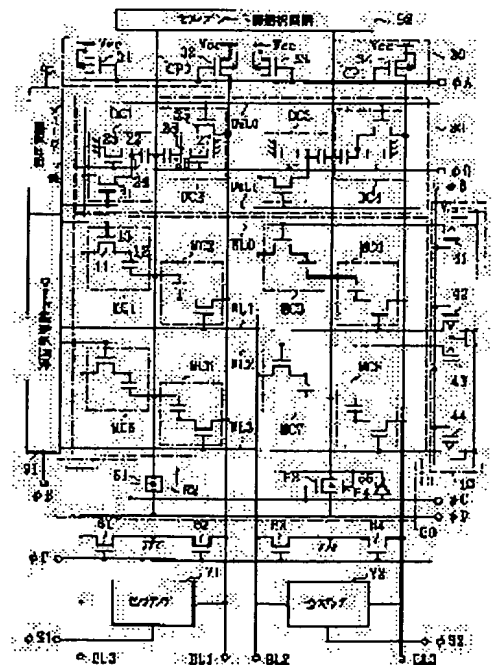
(72)Inventor : CHATANI SHIGEO

## (54) SEMICONDUCTOR MEMORY AND ITS TEST METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To give plural memory cells ranging plural cell plate lines the stress causing a disturbance phenomenon to them at a time by simultaneously selecting plural bit lines, plural word lines and plural cell plate lines and activating them.

SOLUTION: Since this memory is provided with a bit line potential supply circuit 30 capable of activating all bit lines BL0-BL3 at a time, a word line potential supply circuit 40 capable of activating all word lines WL0-WL3 at a time and a cell plate potential supply circuit 50 capable of activating all cell plate lines CP0, CP1 at a time, it can impart collectively disturbance stress to all memory cells MC1-MC8. Thereafter, by using sense amplifiers 71, 72 and performing read-out operation, a junction leakage current and a sub-threshold current of an access transistor 11 connected to a memory cell capacitor 12 are measured, and further, by applying it to a product test, a short time test becomes possible.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233100

(43) 公開日 平成10年 (1998) 9月2日

(51) Int. Cl. <sup>6</sup>	識別記号	F I			
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1	Z	
G 0 1 R 31/28		11/22			
G 1 1 C 11/22		G 0 1 R 31/28		B	
14/00		G 1 1 C 11/34	3 5 2	A	
11/401		3 7 1		A	
審査請求 未請求 請求項の数 9 O L (全 23 頁)					

(21) 出願番号 特願平9-36608

(22) 出願日 平成9年 (1997) 2月20日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 茶谷 茂雄

大阪府高槻市幸町1番1号 松下電子工業株式会社内

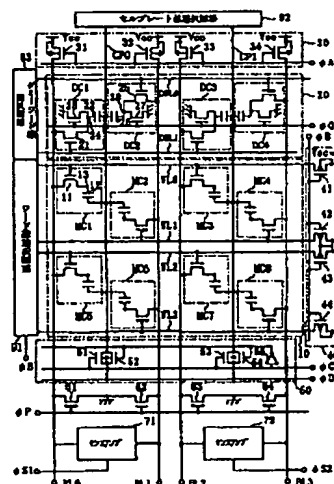
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体メモリ装置及びその検査方法

(57) 【要約】

【課題】 強誘電体メモリのアクセストランジスタにおけるディスタープ現象の影響の評価又は検査を効率よく行なえるようにする。

【解決手段】 ビット線BL0にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極が制御信号φAにより制御されるビット線電位供給トランジスタ31等からなるビット線電位供給回路30と、ワード線WL0にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極が制御信号φBにより制御されるワード線電位供給トランジスタ41等からなるワード線電位供給回路40と、互いに並列に接続され、一方の共通電極がセルプレート線CP0に接続され、他方の共通電極が駆動信号φDにより制御され、ゲート電極が制御信号φCにより制御されるセルプレート線電位供給トランジスタ51、52等からなるセルプレート線電位供給回路50とを備えている。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成されており、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、

前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、

前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのゲート電極にそれぞれ接続されたワード線と、

前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセルプレート線と、

前記ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、

前記ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、

前記セルプレート線に接続され、複数のセルプレート線の電位を所定電位に昇圧するセルプレート線電位昇圧手段と、

前記複数のメモリセルのうち選択されたメモリセルに接続されているビット線の電位を検知するビット線電位検知手段とを備えていることを特徴とする半導体メモリ装置。

【請求項2】 前記セルプレート線電位昇圧手段には、該セルプレート線電位昇圧手段が前記セルプレート線を昇圧する昇圧時間を変更する外部信号が入力される外部信号入力端子が設けられていることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記外部信号は前記所定電位と接地電位との間を交互に変化するパルス信号であることを特徴とする請求項2に記載の半導体メモリ装置。

【請求項4】 前記半導体基板上に形成され、前記パルス信号を出力する発振回路をさらに備えていることを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】 半導体基板上に形成されており、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、

前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、

前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのゲート電極にそれぞれ接続されたワード線と、

前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセル

プレート線と、

前記ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、

前記ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、

前記セルプレート線に接続され、複数のセルプレート線の電位を所定電位に昇圧するセルプレート線電位昇圧手段と、

10 前記ビット線及びセルプレート線にそれぞれ接続されており、通常の読み出し動作時にのみ活性化される第1のダミーセルと、

前記ビット線及びセルプレート線にそれぞれ接続されており、スクリーニングの読み出し動作時にのみ活性化される第2のダミーセルと、

20 前記複数のメモリセルのうちの選択されたメモリセルに接続されているビット線の電位と、前記第2のダミーセルに接続され、選択された前記メモリセルに接続されている前記ビット線と互いに対をなすビット線の電位との電位差を検知するビット線電位検知手段とを備えていることを特徴とする半導体メモリ装置。

【請求項6】 前記第1のダミーセル及び第2のダミーセルはそれぞれダミーセルキャパシタを有しており、前記第2のダミーセルが有するダミーセルキャパシタの容量は前記第1のダミーセルが有するダミーセルキャパシタの容量よりも大きいことを特徴とする請求項5に記載の半導体メモリ装置。

30 【請求項7】 半導体基板上に形成されており、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記

40 複数のメモリセルにおける前記アクセストランジスタのゲート電極にそれぞれ接続されたワード線と、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセルプレート線とを備えた半導体メモリ装置の検査方法であって、

50 複数の前記ビット線と複数の前記ワード線とをそれぞれ所定電位に昇圧した後、昇圧した複数のビット線と複数のワード線とをそれぞれ接地電位に降圧する工程と、複数の前記セルプレート線を所定電位に昇圧し、所定時間経過後に昇圧した複数のセルプレート線を接地電位に降圧する工程と、

前記複数のメモリセルのうちの所定数のメモリセルを選択し、該メモリセルに接続されたビット線の電位を検知して該メモリセルを流れる電流を測定することにより該メモリセルの良否を判定する工程とを備えていることを特徴とする半導体メモリ装置の検査方法。

【請求項8】 半導体基板上に形成されており、それぞれがアクセストラランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストラランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストラランジスタのゲート電極にそれぞれ接続されたワード線と、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストラランジスタ側の電極にそれぞれ接続されたセルプレート線とを備えた半導体メモリ装置の検査方法であって、複数の前記ビット線と複数の前記ワード線とをそれぞれ所定電位に昇圧した後、昇圧した複数のビット線と複数のワード線とをそれぞれ接地電位に降圧する工程と、複数の前記セルプレート線に対して接地電位と所定電位との間を往復するパルス信号を所定時間印加した後、前記複数のセルプレート線を接地電位とする工程と、前記複数のメモリセルのうちの所定数のメモリセルを選択し、該メモリセルに接続されたビット線の電位を検知して該メモリセルを流れる電流を測定することにより該メモリセルの良否を判定する工程とを備えていることを特徴とする半導体メモリ装置の検査方法。

【請求項9】 半導体基板上に形成されており、それぞれがアクセストラランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストラランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストラランジスタのゲート電極にそれぞれ接続されたワード線と、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストラランジスタ側の電極にそれぞれ接続されたセルプレート線と、前記ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、前記ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、前記セルプレート線に接続され、複数のセルプレート線の電位を所定電位に昇圧するセルプレート線電位昇圧手段と、前記ビット線及びセルプレート線にそれぞれ接続されており、通常の読み出し動作時にのみ活性化される第1のダミーセルと、前記ビット線及びセルプレート線にそれぞれ接続されており、スクリーニングの読み出し動作時にのみ活性化され、前記第1のダミーセルに比べて容量が大きなキャパシタを有する第2のダミーセルとを備えた半導体メモリ装置の検査方法であって、前記複数のメモリセルのうちの所定数のメモリセルを選

択し、該メモリセルに接続されたビット線の電位と、前記第2のダミーセルに接続され、選択された前記メモリセルに接続されている前記ビット線と互いに対をなすビット線の電位との電位差を検知する工程と、検知された電位差に基づいて前記メモリセルの良否を判定する工程とを備えていることを特徴とする半導体メモリ装置の検査方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、強誘電体キャパシタを有する半導体メモリ装置に関し、特に、メモリセルの検査を効率よく行なえる半導体メモリ装置及びその検査方法に関する。

【0002】

20 【従来の技術】半導体メモリ装置においては、主に、半導体装置内に形成されるメモリセルキャパシタに電荷を蓄積し、その電荷の有無によりデータを記憶する方式が用いられている。これを、一般にダイナミックランダムアクセス方式メモリ、略してDRAMと呼んでいる。このメモリセルキャパシタは、一般的には、シリコン酸化膜を容量絶縁膜として用いている。

【0003】近年、このメモリセルキャパシタの容量絶縁膜に強誘電体材料を用い、記憶データの不揮発性を実現しようとする半導体メモリ装置が開発されている。

【0004】以下、メモリセルキャパシタの容量絶縁膜に強誘電体薄膜を用いた従来の半導体メモリ装置を図面を参照しながら説明する。

30 【0005】図13は従来の半導体メモリ装置を示す回路図である。図13において、10は複数のメモリセルMC1, MC2, ..., MC8が行列状に配置されてなるメモリセルアレイである。メモリセルMC1は、MISFETよりなるアクセストラランジスタ11と、該アクセストラランジスタ11のソース電極と一方の電極とが接続され強誘電体よりなるメモリセルキャパシタ12とから構成されており、その接続点がメモリセル11の電荷をデータとして蓄積するストレージノード13となる。他の7つのメモリセルMC2~MC8も同様の構成である。

40 【0006】メモリセルMC1におけるアクセストラランジスタ11のゲート電極は、行方向に位置するメモリセルを選択するワード線WL0に接続されている。同様に、メモリセルMC3のアクセストラランジスタ11のゲート電極はワード線WL0に接続され、メモリセルMC2, MC4のアクセストラランジスタ11の各ゲート電極はワード線WL1にそれぞれ接続され、メモリセルMC5, MC7のアクセストラランジスタ11の各ゲート電極はワード線WL2にそれぞれ接続され、メモリセルMC6, MC8のアクセストラランジスタ11の各ゲート電極はワード線WL3にそれぞれ接続され、ワード線WL0~WL3はワード線選択回路91にそれぞれ接続されて

いる。

【0007】メモリセルMC1におけるアクセストランジスタ11のドレイン電極は、列方向に位置するメモリセルを選択するビット線BL0に接続されている。同様に、メモリセルMC5のアクセストランジスタ11のドレイン電極はビット線BL0に接続され、メモリセルMC2、MC6のアクセストランジスタ11の各ドレイン電極はビット線BL1にそれぞれ接続され、メモリセルMC3、MC7のアクセストランジスタ11の各ドレイン電極はビット線BL2にそれぞれ接続され、メモリセルMC4、MC8のアクセストランジスタ11の各ドレイン電極はビット線BL3にそれぞれ接続されている。

【0008】メモリセルMC1におけるメモリセルキャパシタ12の反ストレージノード側の電極は、列方向に位置するメモリセルを選択するセルプレート線CP0に接続されている。同様に、メモリセルMC2、MC5、MC6のメモリセルキャパシタ12の反ストレージノード側の電極はセルプレート線CP0にそれぞれ接続され、メモリセルMC3、MC4、MC7、MC8のメモリセルキャパシタ12の反ストレージノード側の電極はセルプレート線CP1にそれぞれ接続され、セルプレート線CP0、CP1はセルプレート線選択回路92にそれぞれ接続されている。

【0009】ダミーセル回路20における、メモリセルMC2の読み出しデータのリファレンスデータを保持するダミーセルDC1は、MISFETよりなるアクセストランジスタ21と、該アクセストランジスタ21のソース電極と一方の電極とが接続され強誘電体よりなるダミーセルキャパシタ22と、MISFETよりなり、アクセストランジスタ21のソース電極とそのドレイン電極とが接続され、そのソース電極が接地されたりセットトランジスタ23とから構成されており、アクセストランジスタ21のソース電極とダミーセルキャパシタ22との接続点がダミーセルDC1のリファレンスデータを蓄積するストレージノード24となる。ダミーセル回路20における、メモリセルMC1の読み出しデータのリファレンスデータを保持するダミーセルDC2は、MISFETよりなるアクセストランジスタ25と、該アクセストランジスタ25のソース電極と一方の電極とが接続され強誘電体よりなるダミーセルキャパシタ26と、MISFETよりなり、アクセストランジスタ25のソース電極とそのドレイン電極とが接続され、そのソース電極が接地されたりセットトランジスタ27とから構成されており、アクセストランジスタ25のソース電極とダミーセルキャパシタ26との接続点がダミーセルDC2のリファレンスデータを蓄積するストレージノード28となる。他の2つのダミーセルDC3、DC4も同様の構成である。

【0010】ダミーセルDC1におけるアクセストランジスタ21のゲート電極は、ダミーワード線DWL1に

接続されている。同様に、ダミーセルDC3のアクセストランジスタのゲート電極はダミーワード線DWL1に接続され、ダミーセルDC2、DC4のアクセストランジスタの各ゲート電極はダミーワード線DWL0にそれぞれ接続され、ダミーワード線DWL0、DWL1はダミーワード線選択回路93にそれぞれ接続されている。

【0011】ダミーセルDC1におけるアクセストランジスタ21のドレイン電極はビット線BL0に接続されている。なお、ダミーセルは1本のビット線に1つの割合で接続されている。同様に、ダミーセルDC2のアクセストランジスタ25のドレイン電極はビット線BL1に接続され、ダミーセルDC3のアクセストランジスタのドレイン電極はビット線BL2に接続され、ダミーセルDC4のアクセストランジスタのドレイン電極はビット線BL3に接続されている。

【0012】ダミーセルDC1におけるダミーセルキャパシタ22の反ストレージノード側の電極は、セルプレート線CP0に接続されている。同様に、ダミーセルDC2のダミーセルキャパシタ26の反ストレージノード側の電極はセルプレート線CP0に接続され、ダミーセルDC3、DC4のダミーセルキャパシタの反ストレージノード側の電極はセルプレート線CP1にそれぞれ接続されている。

【0013】ダミーセルDC1におけるリセットトランジスタ22のゲート電極はダミーセルリセット制御信号φQにより制御される。ダミーセルDC2～DC4のアクセストランジスタのゲート電極も同様である。

【0014】互いに対をなすビット線BL0、BL1は、MISFETよりなりビット線プリチャージ制御信号φPがゲート電極に入力されるスイッチトランジスタ61、62を介して接地され、また、ビット線BL0、BL1には、読み出し動作時にビット線BL0、BL1に生じる電位差を検知して増幅するセンスアンプ71が接続されている。同様に、互いに対をなすビット線BL2、BL3は、MISFETよりなりビット線プリチャージ制御信号φPがゲート電極に入力されるスイッチトランジスタ63、64を介して接地され、また、ビット線BL2、BL3には、読み出し動作時にビット線BL2、BL3に生じる電位差を検知して増幅するセンスアンプ72が接続されている。

【0015】センスアンプ71には該センスアンプ71を制御するセンスアンプ制御信号φS1が入力され、センスアンプ72には該センスアンプ72を制御するセンスアンプ制御信号φS2が入力される。

【0016】ここで、従来の半導体メモリ装置の動作の概略を説明する。例えば、ワード線WL0を論理電圧"H"に遷移させると、メモリセルMC1のアクセストランジスタ11がON状態となり、メモリセルキャパシタ12が保持するデータがビット線BL0に流入する。この流入した電流を読み出すには、ダミーワード線DWL

7.

0を論理電圧”H”に遷移させてダミーセルDC2のアクセストランジスタ25をON状態とし、ダミーセルキャパシタ26が保持するデータをビット線BL1に取り出す。このときのビット線BL0とビット線BL1とのビット線間の電位差をセンスアンプ71で増幅することにより出力データを得る。

【0017】逆に、メモリセルMC2が選択された場合には、ダミーセルDC1が選択され、ビット線BL0とビット線BL1との間で増幅処理を行なう。ダミーセルDC1のリセットトランジスタ23はダミーセルDC1が選択された後に、次の読み出し動作に備えてダミーセルDC1の電荷の状態を初期化する働きをする。

【0018】以下、前記のように構成された強誘電体メモリ装置の詳細な動作を図面を参照しながら説明する。図14は従来の半導体メモリ装置のメモリセルのデータの読み出し動作を説明するための強誘電体のヒステリシス曲線を表わしている。図15は従来の半導体メモリ装置の動作タイミングを示すタイミングチャートである。図14に示すように、容量絶縁膜に強誘電体材料を用いたキャパシタは、該キャパシタの両端子間の電位差が0の時でも点B又は点Eのように残留電荷(=分極)を有している。このように、電源をオフにした後にも強誘電体キャパシタに残る残留電荷(=分極)を不揮発性のデータとして利用することにより、不揮発性の半導体メモリ装置を実現している。

【0019】図14に示すように、例えば、メモリセルMC1が保持するデータが”1”の場合には、メモリセルキャパシタ12の電荷は点Bの状態にある。逆に、メモリセルMC1のデータが”0”の場合には、メモリセルキャパシタ12の電荷は点Eの状態にある。一方、ダミーセルDC2のダミーセルキャパシタ26の電荷は、後述する初期化動作により点Fの状態にある。

【0020】初期状態では、ビット線BL0~BL3、ワード線WL0~WL3、ダミーワード線DWL0、DWL1、セルプレート線CP0、CP1、ダミーセルリセット制御信号φQ及びセンスアンプ制御信号φS1、φS2はそれぞれ論理電圧”L”に設定され、ビット線プリチャージ制御信号φPは論理電圧”H”に設定されている。

【0021】読み出し動作を説明する。

【0022】図15に示すように、まず、ビット線プリチャージ制御信号φPを論理電圧”L”に遷移させて、ビット線BL0~BL3をそれぞれフローティング状態とする。次に、ワード線選択回路91がワード線WL0を論理電圧”H”に、ダミーワード線選択回路93がダミーワード線DWL0を論理電圧”H”に、セルプレート線選択回路92がセルプレート線CP0を論理電圧”H”にそれぞれ遷移させると共に、その他の、ワード線、ダミーワード線及びセルプレート線を論理電圧”L”に遷移させてメモリセルMC1のアクセストランジ

8

スタ11とダミーセルDC2のアクセストランジスタ25とをON状態とする。これにより、メモリセルMC1のメモリセルキャパシタ12とダミーセルDC2のダミーセルキャパシタ26とに電圧が印加され、メモリセルMC1からビット線BL0に、ダミーセルDC2からビット線BL1にそれぞれデータが読み出される。このとき、ビット線BL0とビット線BL1とに生じる電位差について図14を用いて説明する。図14に示す線L1、L2、L3はビット線BL0、BL1の寄生容量値で決まる傾きを持つ線である。容量値が小さくなると傾きの絶対値は小さくなる。

【0023】メモリセルMC1から読み出されるデータが”1”の場合には、ビット線BL0にはメモリセルキャパシタ12からデータが読み出され、点Bの状態から点Gに遷移する。点Gはメモリセルキャパシタ12に電圧が印加されたときの点Bから点Dに向かうヒステリシス曲線と、ワード線WL0及びセルプレート線CP0の論理電圧を”H”に印加したときのビット線BL0及びセルプレート線CP0間に生じる電位差分だけ点Bから横軸上を移動した点Hを通る線L1との交点である。同様に、ビット線BL1にはダミーセルキャパシタ26からデータが読み出され、点Fの状態から点Jの状態となる。点Jはダミーセルキャパシタ26に電圧が印加されたときの点Fから点Dに向かうヒステリシス曲線と、ダミーワード線DWL0及びセルプレート線CP0の論理電圧を”H”に印加したときのビット線BL1及びセルプレート線CP0間に生じる電位差分だけ点Fから横軸上を移動した点Kを通る線L2との交点である。このとき、ビット線BL0とビット線BL1とに生じる電位差は点Gと点Jの電圧の差 $\Delta V_H$ となる。

【0024】また、メモリセルMC1から読み出されるデータが”0”の場合には、ビット線BL0は点Eの状態から点Lの状態となる。点Lはメモリセルキャパシタ12に電圧が印加されたときの点Eから点Dに向かうヒステリシス曲線と、ワード線WL0及びセルプレート線CP0の論理電圧を”H”に印加したときのビット線BL0及びセルプレート線CP0間に生じる電位差分だけ点Eから横軸上を移動した点Mを通る線L3との交点である。ビット線BL1の状態は、データ”1”を読み出す場合と同様に点Jとなる。このとき、ビット線BL0とビット線BL1とに生じる電位差は点Lと点Jとの電圧の差 $\Delta V_L$ となる。

【0025】その後、センスアンプ制御信号φS1を論理電圧”H”に設定して、ビット線BL0とビット線BL1とに現われた電位差をセンスアンプ71を用いて増幅し増幅された信号を読み出しデータとして出力回路に送出する。データ”1”を読み出したときのビット線対の電位差をセンスアンプ71で増幅すると、ビット線BL0の状態は点Gから点Nに遷移し、ビット線BL1の状態は点Jから点Dに遷移する。

【0026】次に、ダミーセルDC2の初期化動作とデータの再書き込み動作とを説明する。まず、ダミーワード線選択回路93がダミーワード線DWL0を論理電圧”L”に遷移させ、ダミーセルリセット制御信号φQが論理電圧”H”に設定される。このときのビット線BL1の電位は変化せず、ダミーセルDC1のダミーセルキャパシタ26のストレージノード28も点Dの状態のままである。

【0027】次に、セルプレート線選択回路92がセルプレート線CP0を論理電圧”L”に遷移させると、ビット線BL0は点Nから点Aの状態となり、ダミーセルキャパシタ26のストレージノード28は点Dから点Fに遷移する。

【0028】次に、ダミーセルリセット制御信号φQとセンスアンプ制御信号φS1とを論理電圧”L”に設定し、ビット線プリチャージ制御信号φPを論理電圧”H”に設定すると、ビット線BL0の電位は接地電位となり、ビット線BL0は点Aから点Bに遷移する。続いて、ワード線選択回路91がワード線WL0を論理電圧”L”に印加すると、メモリセルMC1のメモリセルキャパシタ12とダミーセルDC2のダミーセルキャパシタ26とが初期状態に戻る。

【0029】一方、データ”0”が読み出されたときのビット線対BL0、BL1の電位差をセンスアンプ71を用いて増幅すると、ビット線BL0の状態は点Lから点Dに遷移し、ビット線BL1の状態は点Jから点Fになる。

【0030】次に、ダミーセルDC2の初期化動作とデータの再書き込み動作を説明する。まず、ダミーワード線選択回路93がダミーワード線DWL0を論理電圧”L”に遷移させ、ダミーセルリセット制御信号φQを論理電圧”H”に設定すると、ビット線BL1の電位は変化しないが、ダミーセルキャパシタ26のストレージノード28は点Dの状態に遷移する。次に、セルプレート線選択回路92がセルプレート線CP0を論理電圧”L”に遷移させると、ビット線BL0は点Dから点Eの状態に遷移し、ダミーセルキャパシタ26のストレージノード28は点Dから点Fの状態に遷移する。次に、ダミーセルリセット制御信号φQとセンスアンプ制御信号φS1とを論理電圧”L”に設定し、ビット線プリチャージ制御信号φPを論理電圧”H”に設定すると、ビット線BL0は接地電位のままであり、続いて、ワード線選択回路91がワード線WL0を論理電圧”L”に遷移させると、メモリセルMC1のメモリセルキャパシタ12とダミーセルMC2のダミーセルキャパシタ26とが初期状態に戻る。

【0031】

【発明が解決しようとする課題】しかしながら、前記従来の半導体メモリ装置は、例えば、メモリセルキャパシタ12のストレージノード13と接続されているアクセ

ストランジスタ11の拡散層のジャンクションリーク電流やアクセストランジスタ11のサブスレッショルド電流が大きい場合に、メモリセルキャパシタ12の残留電荷がセルプレート線CP0を共有する他のメモリセルの読み出し動作又は書き込み動作を繰り返すうちに次第に減少していく現象であるディスタ urb現象の影響を短時間に精度よく測定することができないという問題を有している。

【0032】図16を用いてディスタ urb現象が発生した後のデータの読み出し動作を説明する。いま、メモリセルMC1とダミーセルDC2が選択状態にあるとすると、セルプレート線CP0は論理電圧”H”となる。このとき、セルプレート線CP0を共有する他のメモリセルMC2、MC5、MC6は、そのワード線WL1、WL2及びWL3が論理電圧”L”を印加されているため、非選択状態であり、各アクセストランジスタ11はOFF状態であるが、セルプレート線CP0が論理電圧”H”に印加されているため、各メモリセルキャパシタ12のストレージノード13は論理電圧”H”となる。このとき、図16に示すように、拡散層に大きなジャンクションリーク電流やアクセストランジスタ11にサブスレッショルド電流が存在すると、拡散層の電位はリーク電流によって次第に低下し、データ”1”の初期の記憶状態である点Bからセルプレート線CP0が論理電圧”H”に印加されている間に拡散層の電位が降下する点である点B1に遷移する。その後、セルプレート線CP0が論理電圧”L”に降圧されるとメモリセルセルキャパシタ11の状態は点B1から点B2に遷移する。この動作が繰り返され、さらに、点B3、点B4、点B5、・・・、点Bnと変化していく。

【0033】この後の読み出し動作では、点Bnから点Dに向かうヒステリシス曲線とビット線の容量を傾きに持つ線とからビット線の電位が決定されるため、ディスタ urb現象の影響の大小は読み出し時のビット線電圧の高低となって現われ、極端な場合にはデータが消滅してしまう。ランダムアクセスメモリの場合には、セルプレート線を共有する他のメモリセルからの読み出しや、他のメモリセルへの書き込みの回数に制限はなく、製品としてデータの保持を保証する期間内においてはデータの消滅があつてはならない。

【0034】さらに、アクセストランジスタ11のジャンクションリーク電流やサブスレッショルド電流が大きい製品を検査又は選別するときに長時間の検査を必要とするため、検査コストの増大を招くという問題を有している。すなわち、通常、セルプレート線CP0、CP1はセルプレート線選択回路92により、1セルプレートずつ選択されるため、セルプレート線CP0、CP1が駆動されることによるディスタ urb現象の影響の検査は1セルプレート線ずつしか行なえない。また、ワード線WL0等についても、ワード線選択回路91により、読



み出し動作又は書き込み動作では多数のうちのいずれか1本のワード線が選択状態となるため、ディスタープ現象の影響の検査は、選択状態にあるワード線を代え最低でも2回は行なわれなければならない。従って、検査中にストレスを付与する時間 $L$ は、ストレスのサイクルタイムを $t$  (s)、付与するディスタープの回数を $k$ 回、セルプレート線の本数を $n$ 本とすると、

$$L(s) = t \cdot k \cdot n \cdot 2$$

となる。

【0035】ここで、 $t=100\text{ns}$ 、 $k=1 \times 10^4$ 回、 $n=1024$ の場合について計算してみると、 $L=2.048 \times 10^6 \text{ s}$  = 約569時間もの長時間になってしまう。

【0036】本発明は、前記の問題に鑑み、ディスタープ現象の影響の評価又は検査を効率よく行なえるようにすることを目的とする。

【0037】

【課題を解決するための手段】前記の目的を達成するため、本発明は、複数のビット線を同時に選択して活性化する第1の手段、複数のワード線を同時に選択して活性化する第2の手段及び複数のセルプレート線を同時に選択して活性化する第3の手段を備える構成とするものである。

【0038】具体的に請求項1の発明が講じた解決手段は、半導体メモリ装置を、半導体基板上に形成されており、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのゲート電極にそれぞれ接続されたワード線と、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセルプレート線と、前記ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、前記ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、前記セルプレート線に接続され、複数のセルプレート線の電位を所定電位に昇圧するセルプレート線電位昇圧手段と、前記複数のメモリセルのうち選択されたメモリセルに接続されているビット線の電位を検知するビット線電位検知手段とを備えている構成とするものである。

【0039】請求項1の構成により、ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、セルプレート線に接続され、複数のセルプレート線

の電位を所定電位に昇圧するセルプレート線電位昇圧手段とを備えているため、通常の読み出し動作又は書き込み動作において選択される数よりも多いメモリセルを一度に選択状態としてデータの書き込みを行ない、さらに、通常の読み出し動作又は書き込み動作において選択される数よりも多いセルプレート線を適当な時間にわたって所定電位に固定することができるので、複数のセルプレート線にわたる複数のメモリセルに一度にディスタープ現象を生じさせるストレスを付与することができ

10 る。

【0040】請求項2の発明は、請求項1の構成に、前記セルプレート線電位昇圧手段には、該セルプレート線電位昇圧手段が前記セルプレート線を昇圧する昇圧時間を変更する外部信号が入力される外部信号入力端子が設けられている構成を付加するものである。

【0041】請求項3の発明は、請求項1の構成に、前記外部信号は前記所定電位と接地電位との間を交互に変化するパルス信号である構成を付加するものである。

20 【0042】請求項4の発明は、請求項3の構成に、前記半導体基板上に形成され、前記パルス信号を出力する発振回路をさらに備えている構成を付加するものである。

【0043】請求項5の発明が講じた解決手段は、半導体メモリ装置を、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのゲート電極にそれぞれ接続されたワード線と、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセルプレート線と、前記ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、前記ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、前記セルプレート線に接続され、複数のセルプレート線の電位を所定電位に昇圧するセルプレート線電位昇圧手段と、前記ビット線及びセルプレート線にそれぞれ接続されており、通常の読み出し動作時にのみ活性化される第1のダミーセルと、前記ビット線及びセルプレート線にそれぞれ接続されており、スクリーニングの読み出し動作時にのみ活性化される第2のダミーセルと、前記複数のメモリセルのうちの選択されたメモリセルに接続されているビット線の電位と、前記第2のダミーセルに接続され、選択された前記メモリセルに接続されている前記ビット線と互いに対をなすビット線の電位との電位差を検知するビット線電位検知手段とを備えている構

成とするものである。

【0044】請求項5の構成により、ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、セルプレート線に接続され、複数のセルプレート線の電位を所定電位に昇圧するセルプレート線電位昇圧手段と、ビット線及びセルプレート線にそれぞれ接続されており、スクリーニングの読み出し動作時にのみ活性化される複数の第2のダミーセルとを備えているため、通常の読み出し動作又は書き込み動作において選択される数よりも多いメモリセルを一度に選択状態としてデータの書き込みを行ない、その後、通常の読み出し動作又は書き込み動作において選択される数よりも多いセルプレート線を適当な時間にわたって所定電圧に固定することができるので、複数のセルプレート線にわたる複数のメモリセルに一度にディスタープ現象を生じさせるストレスを印加することができる。さらに、スクリーニングの読み出し動作時にのみ活性化される第2のダミーセルを備えているため、ストレス付与後の読み出し動作時に動作マージンを考慮した検査が可能となる。

【0045】請求項6の発明は、請求項5の構成に、前記第1のダミーセル及び第2のダミーセルはそれぞれダミーセルキャパシタを有しており、前記第2のダミーセルが有するダミーセルキャパシタの容量は前記第1のダミーセルが有するダミーセルキャパシタの容量よりも大きい構成を付加するものである。

【0046】請求項7の発明が講じた解決手段は、半導体メモリ装置の検査方法を、半導体基板上に形成されており、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセルプレート線とを備えた半導体メモリ装置の検査方法を対象とし、複数の前記ビット線と複数の前記ワード線とをそれぞれ所定電位に昇圧した後、昇圧した複数のビット線と複数のワード線とをそれぞれ接地電位に降圧する工程と、複数の前記セルプレート線を所定電位に昇圧し、所定時間経過後に昇圧した複数のセルプレート線を接地電位に降圧する工程と、前記複数のメモリセルのうちの所定数のメモリセルを選択し、該メモリセルに接続されたビット線の電位を検知して該メモリセルを流れる電流を測定することにより該メモリセルの良否を判定す

る工程とを備えている構成とするものである。

【0047】請求項7の構成により、複数のビット線と複数のワード線とをそれぞれ所定電位に昇圧した後、該複数のビット線と該複数のワード線とを接地電位に降圧する工程と、複数のセルプレート線を所定電位に昇圧し、所定時間経過後に昇圧した複数のセルプレート線を接地電位に降圧する工程とを備えているため、複数のセルプレート線にわたる複数のメモリセルに一度にディスタープ現象の加速的なストレスを印加し、その影響を短時間に評価することができる。

【0048】請求項8の発明が講じた解決手段は、半導体メモリ装置の検査方法を、半導体基板上に形成されており、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられてなるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのゲート電極にそれぞれ接続されたワード線と、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセルプレート線とを備えた半導体メモリ装置の検査方法を対象とし、複数の前記ビット線と複数の前記ワード線とをそれぞれ所定電位に昇圧した後、昇圧した複数のビット線と複数のワード線とをそれぞれ接地電位に降圧する工程と、複数の前記セルプレート線に対して接地電位と所定電位との間を往復するパルス信号を所定時間印加した後、前記複数のセルプレート線を接地電位とする工程と、前記複数のメモリセルのうちの所定数のメモリセルを選択し、該メモリセルに接続されたビット線の電位を検知して該メモリセルを流れる電流を測定することにより該メモリセルの良否を判定する工程とを備えている構成とするものである。

【0049】請求項8の構成により、複数のビット線と複数のワード線とをそれぞれ所定電位に昇圧した後、該複数のビット線と該複数のワード線とを接地電位に降圧する工程と、複数のセルプレート線に対して接地電位と所定電位との間を往復するパルス信号を所定時間印加した後、複数のセルプレート線を接地電位とする工程とを備えているため、通常の読み出し動作又は書き込み動作において選択される数よりも多いセルプレート線に適当な回数だけ、所定電圧をパルスとして印加し、複数のセルプレート線にわたる複数のメモリセルに一度にディスタープ現象と等価なストレスを付与することができる。

【0050】請求項9の発明が講じた解決手段は、半導体メモリ装置の検査方法を、半導体基板上に形成されており、それぞれがアクセストランジスタ及び強誘電体キャパシタよりなる複数のメモリセルが行列状に設けられ

てなるメモリセルアレイと、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのドレイン電極にそれぞれ接続されたビット線と、前記メモリセルアレイの行方向に延びており、前記複数のメモリセルにおける前記アクセストランジスタのゲート電極にそれぞれ接続されたワード線と、前記メモリセルアレイの列方向に延びており、前記複数のメモリセルにおける前記強誘電体キャパシタの反アクセストランジスタ側の電極にそれぞれ接続されたセルプレート線と、前記ビット線に接続され、複数のビット線の電位を所定電位に昇圧するビット線電位昇圧手段と、前記ワード線に接続され、複数のワード線の電位を所定電位に昇圧するワード線電位昇圧手段と、前記セルプレート線に接続され、複数のセルプレート線の電位を所定電位に昇圧するセルプレート線電位昇圧手段と、前記ビット線及びセルプレート線にそれぞれ接続されており、通常の読み出し動作時にのみ活性化される第1のダミーセルと、前記ビット線及びセルプレート線にそれぞれ接続されており、スクリーニングの読み出し動作時にのみ活性化され、前記第1のダミーセルに比べて容量が大きなキャパシタを有する第2のダミーセルとを備えた半導体メモリ装置の検査方法を対象とし、前記複数のメモリセルのうちの所定数のメモリセルを選択し、該メモリセルに接続されたビット線の電位と、前記第2のダミーセルに接続され、選択された前記メモリセルに接続されている前記ビット線と互いに対をなすビット線の電位との電位差を検知する工程と、検知された電位差に基づいて前記メモリセルの良否を判定する工程とを備えている構成とするものである。

【0051】請求項9の構成により、複数のメモリセルのうちの所定数のメモリセルを選択し、該メモリセルに接続されたビット線の電位と、スクリーニング専用の第2のダミーセルに接続され、選択された前記メモリセルに接続されているビット線と互いに対をなすビット線の電位との電位差を検知する工程と、この検知された電位差に基づいてメモリセルの良否を判定する工程とを備えているため、複数のセルプレート線にわたる複数のメモリセルに一度にディスタープ現象の加速的なストレスを印加し、その影響を短時間に評価することができる。さらに、第2のダミーセルのセル容量を大きくすることにより、動作マージンを大きくすることができる。

【0052】

【発明の実施の形態】本発明の第1の実施形態を図面を参照しながら説明する。

【0053】図1は本発明の第1の実施形態に係る強誘電体キャパシタを有する半導体メモリ装置の回路図である。図1において、図13に示した従来の半導体メモリ装置の回路図における構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。30はビット線電位昇圧手段としてのビット線電位供給回路であっ

て、P型MISFETよりなり、ビット線BL0にドレイン電極が接続され、そのソース電極が電源線Vccに接続され、ゲート電極がビット線電位供給トランジスタ制御信号φAにより制御されるビット線電位供給トランジスタ31と、ビット線BL1にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極がビット線電位供給トランジスタ制御信号φAにより制御されるビット線電位供給トランジスタ32と、ビット線BL2にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極がビット線電位供給トランジスタ制御信号φAにより制御されるビット線電位供給トランジスタ33と、ビット線BL3にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極がビット線電位供給トランジスタ制御信号φAにより制御されるビット線電位供給トランジスタ34とから構成されている。

【0054】40はワード線電位昇圧手段としてのワード線電位供給回路であって、P型MISFETよりなり、ワード線WL0にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極がワード線電位供給トランジスタ制御信号φBにより制御されるワード線電位供給トランジスタ41と、ワード線WL1にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極がワード線電位供給トランジスタ制御信号φBにより制御されるワード線電位供給トランジスタ42と、ワード線WL2にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極がワード線電位供給トランジスタ制御信号φBにより制御されるワード線電位供給トランジスタ43と、ワード線WL3にドレイン電極が接続され、ソース電極が電源線Vccに接続され、ゲート電極がワード線電位供給トランジスタ制御信号φBにより制御されるワード線電位供給トランジスタ44とから構成されている。

【0055】50はセルプレート線電位昇圧手段としてのセルプレート線電位供給回路であって、P型MISFETとN型MISFETとが互いに並列に接続され、一方の共通電極がセルプレート線CP0に接続され、他方の共通電極が外部信号としてのセルプレート線駆動信号φDにより制御され、ゲート電極がセルプレート線電位供給トランジスタ制御信号φCにより制御されるセルプレート線電位供給トランジスタ51、52と、P型MISFETとN型MISFETとが互いに並列に接続され、一方の共通電極がセルプレート線CP1に接続され、他方の共通電極がセルプレート線駆動信号φDにより制御され、ゲート電極がセルプレート線電位供給トランジスタ制御信号φCにより制御されるセルプレート線電位供給トランジスタ53、54と、セルプレート線電位供給トランジスタ制御信号φCを反転するインバータ55とから構成されている。

【0056】なお、各制御信号φA、φB、φC、φ

D、 $\phi P$ 、 $\phi S1$ 、 $\phi S2$ 及び $\phi Q$ は、通常は半導体メモリ装置の内部で別の基準信号から発生させるが、ボンディングパッドを通して半導体メモリ装置の外部から印加することも可能である。

【0057】以下、前記のように構成された半導体メモリ装置の動作を図面を参照しながら説明する。

【0058】図2は、本発明の第1の実施形態に係る半導体メモリ装置の読み出し動作を表わすタイミングチャートである。通常の読み出し動作は、前述の従来例の読み出し動作とほぼ同様の動作であるので、簡単な説明に留める。図2に示すように、まず、読み出し動作時に定常的に印加する信号として、検査用にのみ使用される、ビット線電位供給トランジスタ制御信号 $\phi A$ 、ワード線電位供給トランジスタ制御信号 $\phi B$ 及びセルプレート線電位供給トランジスタ制御信号 $\phi C$ をそれぞれ論理電圧" H" に設定しておく。また、初期状態においては、ビット線BL0～BL3、ワード線WL0～WL3、ダミーワード線DWL0、DWL1、セルプレート線CP0、CP1、ダミーセルリセット制御信号 $\phi Q$ 及びセンスアンプ制御信号 $\phi S1$ 、 $\phi S2$ はいずれも論理電圧" L" に設定され、ビット線プリチャージ制御信号 $\phi P$ は論理電圧" H" に設定されている。

【0059】次に、初期状態からメモリセルMC0のデータを読み出す場合を例にとると、ビット線プリチャージ制御信号 $\phi P$ を論理電圧" L" に設定してビット線BL0～BL3をフローティング状態とする。次に、ワード線選択回路91がワード線WL0を論理電圧" H" に設定し、セルプレート線選択回路92がセルプレート線CP0を論理電圧" H" に設定し、ダミーワード線選択回路93がダミーワード線DWL0を論理電圧" H" に設定して、メモリセルMC1のアクセストランジスタ11とダミーセルDC2のアクセストランジスタ25とをON状態とする。このときメモリセルMC1のメモリセルキャパシタ12とダミーセルDC2のダミーセルキャパシタ26とにそれぞれ電圧が印加されて、メモリセルMC1からビット線BL0に、また、ダミーセルDC2からビット線BL1にデータがそれぞれ読み出される。このときのビット線対BL0、BL1とに生じる電位差は、メモリセルMC1に記憶されているデータがデータ" 1" の場合は、図14に示す点Gと点Jとの電位差 $\Delta V_H$ となり、メモリセルMC1に記憶されているデータがデータ" 0" の場合は、図14に示す点Lと点Jとの電位差 $\Delta V_L$ となる。

【0060】その後、センスアンプ制御信号 $\phi S1$ を論理電圧" H" に設定して、ビット線対BL0、BL1に読み出されたデータをビット線電位検知手段としてのセンスアンプ71を用いて増幅し読み出しデータとして出力回路に送出する。

【0061】次に、ダミーセルの初期化動作とデータの再書き込み動作とを説明する。図2に示すように、ダミ

ーワード線選択回路93がダミーワード線DWL0を論理電圧" L" に遷移させ、ダミーセルリセット制御信号 $\phi Q$ が論理電圧" H" に設定される。次に、セルプレート線選択回路92がセルプレート線CP0を論理電圧" L" に遷移させ、さらに、ダミーセルリセット制御信号 $\phi Q$ とセンスアンプ制御信号 $\phi S1$ とが論理電圧" L" に設定され、ビット線プリチャージ制御信号 $\phi P$ が論理電圧" H" に設定され、続いて、ワード線選択回路91がワード線WL0を論理電圧" L" に遷移させることにより、メモリセルMC1のメモリセルキャパシタ12とダミーセルDC2のダミーセルキャパシタ26とが初期状態に戻る。

【0062】以下、本発明の第1の実施形態に係る半導体メモリ装置の第1の検査方法を図面を参照しながら説明する。

【0063】第1の検査方法は、次の3工程から構成される。第1はストレス準備工程であって、通常の読み出し動作よりも多くの数のメモリセルを選択状態にして、データ" 1" の書き込みを行なう。第2は、ストレス付与工程であって、通常の読み出し動作よりも多くの数のセルプレート線を所定電位に固定して、メモリセルキャパシタにストレスを付与する。第3は判定工程であって、各メモリセルに対して通常の読み出し動作を行なう。以上の検査方法によって、メモリセルに蓄積されたデータが破壊される程の大きさのジャンクションリーク電流又はサブスレッショルド電流がメモリセルのアクセストランジスタに生じたか否かの評価及び判定を行なう。

【0064】図3はストレス準備工程とストレス付与工程との動作を表わすタイミングチャートであり、図4は判定工程の動作を表わすタイミングチャートである。図3に示すように、初期状態においては、ビット線電位供給トランジスタ制御信号 $\phi A$ 、ワード線電位供給トランジスタ制御信号 $\phi B$ 及びビット線プリチャージ制御信号 $\phi P$ は論理電圧" H" に設定され、セルプレート線電位供給トランジスタ制御信号 $\phi C$ 及びセルプレート線駆動信号 $\phi D$ は論理電圧" L" に設定され、ビット線BL0～BL3、ワード線WL0～WL3、ダミーワード線DWL0、DWL1、セルプレート線CP0、CP1、ダミーセルリセット制御信号 $\phi Q$ 及びセンスアンプ制御信号 $\phi S1$ 、 $\phi S2$ はそれぞれ論理電圧" L" に設定されている。

【0065】この初期状態から、まず、ストレス準備工程を説明する。

【0066】図3に示すように、ビット線プリチャージ制御信号 $\phi P$ を論理電圧" L" に設定してビット線BL0～BL3をフローティングとする。次に、ビット線電位供給トランジスタ制御信号 $\phi A$ とワード線電位供給トランジスタ制御信号 $\phi B$ とを論理電圧" L" に設定することにより、全ビット線BL0～BL3及び全ワード線

WL 0~WL 3を共に所定電位としての論理電圧" H" に遷移させる。このとき、メモリセルアレイ10の全メモリセルMC 1~MC 8に対してデータ" 1" の書き込みが行われる。すなわち、各メモリセル内のメモリセルキャパシタ12が、図14に示すヒステリシス曲線の点Aの状態になる。次に、ビット線電位供給トランジスタ制御信号φAを論理電圧" H" とし、且つ、ビット線プリチャージ制御信号φPを論理電圧" H" に設定することにより、全ビット線BL 0~BL 3は論理電圧" L" に遷移してメモリセルキャパシタ12に印加される電圧がなくなるので、メモリセルキャパシタ12の状態は図14に示すヒステリシス曲線の点Aから点Bの状態に遷移する。その後、ワード線電位供給トランジスタ制御信号φBを論理電圧" H" に設定し、該ワード線電位供給トランジスタ制御信号φBを受けてワード線選択回路91が全ワード線WL 0~WL 3を論理電圧" L" に遷移させることにより書き込み動作が完了する。

【0067】次に、ストレス付与工程を説明する。

【0068】図3に示すように、セルプレート線駆動信号φDを適当な時間t1だけ論理電圧" H" に遷移させる。このときに、メモリセルMC 1~MC 8のアクセストランジスタ11に大きなジャンクションリーク電流やサブスレッショルド電流が存在する場合には、時間t1が経つに連れて、図14に示すヒステリシス曲線の点Bから点Dに至る曲線に沿ってメモリセルMC 1等のストレージノード13の電荷量に変化していく。この現象を図5を用いて詳細に説明する。

【0069】リーク電流が小さなメモリセルの場合は、セルプレート線CP 0、CP 1が論理電圧" H" に印加されている時間t1に点Bから点P1に変化する。一方、リーク電流が大きなメモリセルでは、同じ時間t1の間に点Bから点P2にまで変化する。この後、セルプレート線CP 0、CP 1が論理電圧" L" に遷移すると、メモリセルキャパシタ12には電圧が印加されなくなり、該メモリセルキャパシタ12の状態は、リーク電流が小さなメモリセルでは点P1から点Q1に、また、リーク電流が大きなメモリセルでは点P2から点Q2にそれぞれ遷移する。

【0070】次に、図4に示すストレス付与後の判定工程を説明する。

【0071】例えば、ビット線対BL 0、BL 1にはメモリセルキャパシタ12からのデータが読み出され、図5に示すように、リーク電流が小さなメモリセルの場合は点Q1の状態から点S1の状態に遷移する。点S1はメモリセルキャパシタ12に電圧を印加したときに点Q1から点Dに向かうヒステリシス曲線と、ワード線WL 0及びセルプレート線CP 0の論理電圧を" H" に印加したときにビット線BL 0及びセルプレート線CP 0間に生じる電位差分だけ点Q1から横軸上を移動した点R1を通る線L4との交点である。一方、リーク電流が大

きなメモリセルの場合は点Q2の状態から点S2の状態に遷移する。点S2はメモリセルキャパシタ12に電圧を印加したときに点Q2から点Dに向かうヒステリシス曲線と、ワード線WL 0及びセルプレート線CP 0の論理電圧を" H" に印加したときにビット線BL 0及びセルプレート線CP 0間に生じる電位差分だけ点Q2から横軸上を移動した点R2を通る線L5との交点である。ここで、線L4と線L5とはいずれもビット線BL 0の容量値で決まる傾きを持つ線である。このときには同時に、選択されたビット線対BL 0、BL 1のうち選択されたメモリセルが接続されているビット線BL 0と異なる側のビット線BL 1にはダミーセルキャパシタ26から該メモリセルと同様にデータが読み出され、点Fの状態から点Jの状態に遷移する。点Jはダミーセルキャパシタ26に電圧が印加されたときに点Fから点Dに向かうヒステリシス曲線と、ダミーワード線DWL 0及びセルプレート線CP 0の論理電圧を" H" に印加したときにビット線BL 1及びセルプレート線CP 0間に生じる電位差分だけ点Fから横軸上を移動した点Kを通る線L2との交点である。

【0072】このときのビット線対BL 0、BL 1に読み出される電位差は、リーク電流が小さなメモリセルの場合は点S1と点Jとの電位差 $\Delta V1$ となり、リーク電流が大きなメモリセルの場合は点S2と点Jとの電位差 $\Delta V2$ となる。このビット線対の電位差がセンスアンプの電圧感度以下になると、センスアンプによる増幅は不可能となり、記憶データが消滅したことになる。つまり、メモリセルのリーク電流が大きい程一定時間におけるストレージノードの電圧変化が大きくなり、その結果データ消滅が速くなる。

【0073】従って、セルプレート線CP 0、CP 1を論理電圧" H" に設定しておく時間t1を調節し、センスアンプにおける読み出しが不可能となる時間を測定することにより、ジャンクションリーク電流やサブスレッショルド電流の大きさを評価できる。また、この時間t1を所定時間としての適当な時間に固定すればジャンクションリーク電流やサブスレッショルド電流の大きな製品を判定できるのでそれらを不良品として選別することができる。

【0074】以上説明したように、本実施形態によると、全ビット線BL 0~BL 3を一度に活性化できるビット線電位供給回路30と、全ワード線WL 0~WL 3を一度に活性化できるワード線電位供給回路40と、全セルプレート線CP 0、CP 1を一度に活性化できるセルプレート電位供給回路50とを備えているため、全メモリセルMC 1~MC 8に一括してディスタープストレスを与えることができ、その後、センスアンプ71、72を用いて読み出し動作を行なうことにより、メモリセルキャパシタ12が接続されているアクセストランジスタ11のジャンクションリーク電流やサブスレッショル

ド電流を測定することができる。また、製品検査に適用することにより、短時間に検査を終えられるので、検査コストを上昇させることなく、アクセストランジスタ11の大きなジャンクションリーク電流又は大きなサブスレッショルド電流が生じる製品を選別することができる。

【0075】以下、本発明の第1の実施形態に係る半導体メモリ装置の第2の検査方法を図面を参照しながら説明する。

【0076】第2の検査方法は、前記の第1の検査方法と同様に、次の3工程から構成される。第1はストレス準備工程であって、通常の読み出し動作よりも多くの数のメモリセルを選択状態にして、データ"1"の書き込みを行なう。第2は、ストレス付与工程であって、通常の読み出し動作よりも多くの数のセルプレート線にパルス信号を印加して、メモリセルキャパシタにストレスを付与する。これは、実動作においてはメモリセルのキャパシタが受けるストレスがパルス電圧だからである。第3は判定工程であって、各メモリセルに対して通常の読み出し動作を行なって、検査対象のメモリ装置の破壊の有無の判定を行なう。

【0077】図6はストレス準備工程とストレス付与工程との動作を表わすタイミングチャートであり、図4は判定工程の動作を表わすタイミングチャートである。

【0078】まず、図6に示すストレス準備工程においては、第1の検査方法と同様に、全メモリセルに対してデータ"1"の書き込みを行なうと、各メモリセルのメモリセルキャパシタの状態は図7に示すヒステリシス曲線の点Bに位置する。

【0079】次に、図6に示すストレス付与工程において、セルプレート線CP0、CP1に対して、適当なパルス周期 $t_2$ 、適当なパルス幅 $t_3$ 及び適当な回数で、且つ、論理電圧"H"、"L"間を往復するパルス電圧を印加する。これにより、メモリセルキャパシタ12の残留電荷量は、印加されるパルス信号の数に従ってアクセストランジスタ11に生じるジャンクションリーク電流又はサブスレッショルド電流となって流出していく。つまり、図7に示す点Bの状態にあったメモリセルが次第に点Dに向かうヒステリシス曲線と電圧"0"の縦軸との間を往復しながら点Eの状態に移移していく。ここで、リーク電流が小さなメモリセルの場合は、1パルスごとの電荷量の減少が小さく、所定のパルス数が印加された後では点Bから点T1に移移する。一方、リーク電流が大きなメモリセルの場合は、所定のパルス数を印加した後に点Bから点T2に移移する。

【0080】次に、図4に示すストレス付与後の判定工程を説明する。

【0081】例えば、ビット線BL0、BL1にはメモリセルキャパシタ12からのデータが読み出され、図7に示すように、リーク電流が小さなメモリセルの場合は

点T1の状態から点W1の状態に移移する。点W1はメモリセルキャパシタ12に電圧を印加したときに点T1から点Dに向かうヒステリシス曲線と、ワード線WL0及びセルプレート線CP0に論理電圧"H"を印加したときにビット線BL0及びセルプレート線CP0間に生じる電位差分だけ点T1から横軸上を移動した点U1を通る線L6との交点である。一方、リーク電流が大きなメモリセルの場合は点T2の状態から点W2の状態に移移する。点W2はメモリセルキャパシタ12に電圧を印加したときに点T2から点Dに向かうヒステリシス曲線と、ワード線WL0及びセルプレート線CP0に論理電圧"H"を印加したときにビット線BL0及びセルプレート線CP0間に生じる電位差分だけ点T2から横軸上を移動した点U2を通る線L7との交点である。ここで、線L6と線L7とはいずれもビット線BL0の容量値で決まる傾きを持つ線である。このときには、選択されたビット線対BL0、BL1のうち選択されたメモリセルが接続されているビット線BL0と異なる側のビット線BL1にはダミーセルキャパシタ26から該メモリセルと同様にデータが読み出され、点Fの状態から点Jの状態に移移する。点Jはダミーセルキャパシタ26に電圧が印加されたときに点Fから点Dに向かうヒステリシス曲線と、ダミーワード線DWL0及びセルプレート線CP0に論理電圧"H"を印加したときにビット線BL1及びセルプレート線CP0間に生じる電位差分だけ点Fから横軸上を移動した点Kを通る線L2との交点である。

【0082】このときのビット線対に読み出される電位差は、リーク電流が小さなメモリセルの場合は点W1と点Jとの電位差 $\Delta V_3$ となり、リーク電流が大きなメモリセルの場合は点W2と点Jとの電位差 $\Delta V_4$ となる。このビット線対の電位差がセンスアンプの電圧感度以下になると、センスアンプ71、72による増幅は不可能となり、記憶データが消滅したことになる。つまり、メモリセルのリーク電流が大きい程ディスタート現象の影響を強く受け、所定数のパルスを印加した後の残留電荷量の減少量が大きく、その結果データ消滅が速くなる。

【0083】従って、セルプレート線CP0、CP1に印加するパルスのパルス幅とパルス数とを調節し、センスアンプにおける読み出しが不可能となる時間を測定することにより、ジャンクションリーク電流やサブスレッショルド電流の大きさを評価することができる。また、パルス周期 $t_2$ 、パルス幅 $t_3$ 又はパルス数を実動作に一致させることにより、製品として保証しなければならないセルプレートディスタート現象への耐性を評価することができる。

【0084】以上のように、本実施形態に係る第2の検査方法によると、全メモリセルMC1~MC8に対して一括して各メモリセルのメモリセルキャパシタ12が実動作で受けるのと同様のストレスを付与した後、センス



アンプ71、72を用いて読み出し動作を行なうことにより、セルプレートディスタープに対する製品寿命の評価を精度よく短期間に実施することができる。また、製品検査に適用することにより、高信頼性の製品を短時間に検査し判定することができる。

【0085】なお、該パルス信号(=φD)を出力する発振回路(図示せず)は、半導体メモリ装置の高集積化、1チップ化を図るため、該半導体メモリ装置が形成されている半導体基板と同一の基板上に形成されている。

【0086】また、本実施形態においては、メモリセルアレイ10を8つのメモリセルMC1~MC8で構成したがこれに限るものではない。従って、メモリセルアレイ10に多数のメモリセルを含む場合には、各ビット線電位供給回路30、ワード線電位供給回路40及びセルプレート線電位供給回路50を、ビット線等の各制御線を制御するのに適当な本数となるように分割してもよい。

【0087】以下、本発明の第2の実施形態を図面参照しながら説明する。

【0088】図8は本発明に係る第2の実施形態に係る半導体メモリ装置の回路図である。図8において、図1に示した回路図における構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。80は検査モード用ダミーセル回路であって、スクリーニング時のメモリセルMC2の読み出しデータのリファレンスデータを保持する第2のダミーセルとしてのダミーセルDC5は、MISFETよりなるアクセストランジスタ81と、強誘電体よりなりアクセストランジスタ81のソース電極とその一方の電極が接続され、第1のダミーセルとしてのダミーセルDC1~DC4が有するいずれのキャパシタよりもその容量が大きなダミーセルキャパシタ82と、MISFETよりなり、アクセストランジスタ81のソース電極とそのドレイン電極とが接続され、そのソース電極が接地され、そのゲート電極がダミーセルリセット制御信号φRにより制御されるリセットトランジスタ83とから構成されており、アクセストランジスタ81のソース電極とダミーセルキャパシタ82との接続点がダミーセルDC5のリファレンスデータを蓄積するストレージノード84となる。アクセストランジスタ81のゲート電極はダミーワード線DWL3を介してダミーワード線選択回路93に接続されている。スクリーニング時のメモリセルMC1の読み出しデータのリファレンスデータを保持するダミーセルDC6は、MISFETよりなるアクセストランジスタ85と、強誘電体よりなりアクセストランジスタ85のソース電極とその一方の電極が接続され、ダミーセルDC1~DC4が有するいずれのキャパシタよりもその容量が大きなダミーセルキャパシタ86と、MISFETよりなり、アクセストランジスタ85のソース電極とそのドレイン電極と

が接続され、そのソース電極が接地され、そのゲート電極がダミーセルリセット制御信号φRにより制御されるリセットトランジスタ87とから構成されており、アクセストランジスタ85のソース電極とダミーセルキャパシタ86との接続点がダミーセルDC5のリファレンスデータを蓄積するストレージノード88となる。アクセストランジスタ85のゲート電極はダミーワード線DWL2を介してダミーワード線選択回路93に接続されている。他の2つの検査モード用ダミーセルDC7、DC8も同様の構成である。

【0089】また、各種の制御信号φA、φB、φC、φD、φP、φQ、φS1、φS2及びφRは、通常は半導体メモリ装置の内部で別の基準信号から発生させるが、ボンディングパッドを通して半導体メモリ装置の外部から印加することも可能である。

【0090】以下、前記のように構成された半導体メモリ装置の動作を説明する。

【0091】図9は本発明の第2の実施形態に係る半導体メモリ装置の読み出し動作を表わすタイミングチャートである。第1の実施形態において述べた通常の読み出し動作と同様の動作であるため簡単な説明に留める。

【0092】図9に示すように、通常の読み出し動作時に定常的に印加する信号として、ビット線電位供給トランジスタ制御信号φA、ワード線電位供給トランジスタ制御信号φB、セルプレート線電位供給トランジスタ制御信号φCを論理電圧”H”に設定する。また、通常の読み出し動作時には検査モード用のダミーセルDC5~DC8を動作させる必要がないため、ダミーワード線DWL2、DWL3及びダミーセルリセット制御信号φRを論理電圧”L”に設定しておく。さらに、初期状態として、ビット線BL0~BL3、ワード線WL0、WL1、ダミーワード線DWL0、DWL1、セルプレート線CP0、CP1、ダミーセルリセット制御信号φQ及びセンスアンプ制御信号φS1、φS2をそれぞれ論理電圧”L”に設定し、ビット線プリチャージ制御信号φPを論理電圧”H”に設定する。

【0093】この初期状態から、メモリセルMC1のデータを読み出す場合を例にとると、図9に示すように、まず、ビット線プリチャージ制御信号φPを論理電圧”L”に設定してビット線BL0~BL3をそれぞれフローティング状態とする。次に、ワード線選択回路91、セルプレート線選択回路92及びダミーワード線選択回路93が、ワード線WL0、セルプレート線CP0及びダミーワード線DWL0をそれぞれ論理電圧”H”に遷移させてメモリセルMC1のアクセストランジスタ11とダミーセルDC2のアクセストランジスタ25とをON状態とする。このときメモリセルMC1のメモリセルキャパシタ12とダミーセルDC2のダミーセルキャパシタ26とに電圧が印加され、メモリセルMC1からビット線BL0に、ダミーセルDC2からビット線BL1に

それぞれデータが読み出される。このときのビット線対BL0、BL1に読み出される電位差は、MC1に記憶されているデータがデータ"1"の場合は、図14に示す点Gと点Jとの電位差 $\Delta V_H$ となり、MC1に記憶されているデータがデータ"0"の場合は、図14に示す点Lと点Jとの電位差 $\Delta V_L$ となる。ここで、センスアンプ制御信号 $\phi S1$ を論理電圧" H" に遷移させ、ビット線対BL0、BL1に読み出されるデータをセンスアンプ71によって増幅し、該増幅された信号を読み出しデータとして出力回路に送出する。

【0094】次に、ダミーセルの初期化とデータの再書き込みとを説明する。まず、図9に示すように、ダミーワード線選択回路93がダミーワード線DWL0を論理電圧" L" に遷移させると共に、ダミーセルリセット制御信号 $\phi Q$ を論理電圧" H" に遷移させる。

【0095】次に、セルプレート線選択回路92がセルプレート線CP0を論理電圧" L" に遷移させ、さらに、ダミーセルリセット制御信号 $\phi Q$ とセンスアンプ制御信号 $\phi S1$ とを論理電圧" L" に設定し、ビット線プリチャージ制御信号 $\phi P$ を論理電圧" H" に設定し、続いて、ワード線選択回路91がワード線WL0を論理電圧" L" に遷移させることにより、メモリセルMC1のメモリセルキャパシタ12とダミーセルDC2のダミーセルキャパシタ26とを初期状態に戻す。

【0096】以下、本発明の第2の実施形態に係る半導体メモリ装置の検査方法を図面を参照しながら説明する。

【0097】本検査方法は次の3工程から構成される。第1はストレス準備工程であって、通常の読み出し動作よりも多くの数のメモリセルを選択状態にして、データ"1"の書き込みを行なう。第2は、ストレス付与工程であって、通常の読み出し動作よりも多くの数のセルプレート線を所定電位としての論理電圧" H" に固定することにより、複数のメモリセルキャパシタ12に対して一度にストレスを付与する。第3は判定工程であって、各メモリセルに対して通常の読み出し動作を行なうて、検査対象のメモリ装置の良否判定を行なう。

【0098】以上の検査方法によって、メモリセルに蓄積されたデータが破壊される大きさのジャンクションリーク電流又はサブスレッショルド電流が各メモリセルのアクセストランジスタ11に生じたか否かの評価及び判定を行なう。

【0099】図10はストレス準備工程とストレス付与工程との動作を表わすタイミングチャートであり、図11は判定工程の動作を表わすタイミングチャートである。ストレス準備工程及びストレス付与工程においては、検査モード用のダミーセルDC5~DC8を動作させる必要がないので、ダミーワード線DWL2、DWL3及びダミーセルリセット制御信号 $\phi R$ を論理電圧" L" に設定しておく。

【0100】図10に示すように、ストレス準備工程の初期状態においては、ビット線電位供給トランジスタ制御信号 $\phi A$ 、ワード線電位供給トランジスタ制御信号 $\phi B$ 及びビット線プリチャージ制御信号 $\phi P$ を論理電圧" H" に設定し、セルプレート線電位供給トランジスタ制御信号 $\phi C$ 及びセルプレート線駆動信号 $\phi D$ を論理電圧" L" に設定し、ビット線BL0~BL3、ワード線WL0、WL1、ダミーワード線DWL0、DWL1、セルプレート線CP0、CP1、ダミーセルリセット制御信号 $\phi Q$ 及びセンスアンプ制御信号 $\phi S1$ 、 $\phi S2$ はそれぞれ論理電圧" L" に設定する。

【0101】この初期状態から、まず、ビット線プリチャージ制御信号 $\phi P$ を論理電圧" L" に設定してビット線BL0~BL3をそれぞれフローティング状態とする。

【0102】次に、ビット線電位供給トランジスタ制御信号 $\phi A$ とワード線電位供給トランジスタ制御信号 $\phi B$ とを論理電圧" L" に設定してビット線BL0~BL3及びワード線WL0、WL1を論理電圧" H" に遷移させる。このときに、全メモリセルMC1~MC8に対してデータ"1"の書き込みが行なわれる。すなわち、全メモリセルMC1~MC8内のメモリセルキャパシタ12が図14のヒステリシス曲線に示す点Aの状態に遷移する。次に、ビット線電位供給トランジスタ制御信号 $\phi A$ を論理電圧" H" に設定すると共に、ビット線プリチャージ制御信号 $\phi P$ を論理電圧" H" に設定することにより、ビット線BL0~BL3は論理電圧" L" に遷移し、メモリセルキャパシタ12に印加される電圧がなくなる。この結果、メモリセルキャパシタ12の状態は、図14に示す点Aから点Bに移動する。その後、ワード線電位供給トランジスタ制御信号 $\phi B$ を論理電圧" H" に設定し、ワード線選択回路91がワード線WL0、WL1を論理電圧" L" に遷移させて書き込みが完了する。

【0103】次に、図10に示すストレス付与工程において、セルプレート線駆動信号 $\phi D$ を適当な時間 $t_4$ だけ論理電圧" H" に設定する。このときに、メモリセルMC1~MC8のアクセストランジスタ11に大きなジャンクションリーク電流やサブスレッショルド電流が存在すると、このセルプレート線駆動信号 $\phi D$ が論理電圧" H" の期間に、図14に示す点Bから点Dに至るヒステリシス曲線に沿ってストレージノードの電荷量に変化していく。従って、このセルプレート線を活性化する時間 $t_4$ を最適化することにより、不良となる電流量か否かを判定することができる。その後、セルプレート線駆動信号 $\phi D$ を論理電圧" L" に遷移させることにより、メモリセルキャパシタ12に印加される電圧がなくなり、全メモリセルMC1~MC8のメモリセルキャパシタ12にデータの再書き込みが行われる。

【0104】次に、図11に示す判定工程におけるセル



プレート線によるストレス付与後の読み出し動作を説明する。図11に示すように、通常の読み出し動作のダミーセルDC1～DC4は、ダミーワード線DWL0、DWL1が論理電圧“L”に設定され、ダミーセルリセットトランジスタ制御信号φQも論理電圧“L”に設定されているため動作しない。検査モード用ダミーセルDC5～DC8の各ダミーセルキャパシタの容量を通常動作のダミーセルDC1～DC4の各ダミーセルキャパシタの容量よりも大きい構成とした場合の読み出し動作を図12に示すヒステリシス曲線を用いて説明する。

【0105】前述したように、ストレス準備工程において、各メモリセルMC1～MC8に対してそれぞれデータ“1”の書き込みを行なうと各メモリセルキャパシタ12の状態はそれぞれ点Bに移る。次に、ストレス付与工程において、セルプレート線CP0、CP1を適当な時間t4だけ論理電圧“H”に固定する。このとき、アクセストランジスタ11にジャンクションリーク電流やサブスレッショルド電流が存在するとメモリセルキャパシタ12のストレージノードの電位が時間が経つにつれて次第に論理電圧の“L”に変化していく。すなわち、図12に示す点Bの状態にあったメモリセルが次第に点Dにヒステリシス曲線上を変化して点X1まで移動する。このときに、リーク電流が小さなメモリセルの方が単位時間における電荷と電圧との変化量が小さいことはこれまでに説明したとおりである。この後、セルプレート線CP0が論理電圧“L”に移ると、メモリセルキャパシタ12には電圧が印加されなくなるため、メモリセルの状態は点X1から点Y1に変化する。

【0106】次に、判定工程において、ビット線BL0にはメモリセルキャパシタ12からのデータが読み出され、点Y1の状態から点Z1の状態に移る。点Z1はメモリセルキャパシタ12に電圧を印加したときに点Y1から点Dに向かうヒステリシス曲線と、ワード線WL0及びセルプレート線CP0に論理電圧“H”を印加したときにビット線BL0及びセルプレート線CP0間に生じる電位差分だけ点Y1から横軸上を移動した点Y2を通る線L8との交点である。また、ビット線BL1には検査モード用のダミーセルキャパシタ86からデータがメモリセルと同様に読み出され、点F1の状態から点J1の状態に移る。点J1はダミーセルキャパシタ86に電圧を印加したときに点F1から点Dに向かうヒステリシス曲線と、ダミーワード線DWL2及びセルプレート線CP0に論理電圧“H”を印加したときにビット線BL1及びセルプレート線CP0間に生じる電位差分だけ点F1から横軸上を移動した点K1を通る線L9との交点である。ここで線L8はビット線BL0の容量値で決まる傾きを持つ線であり、線L9はビット線BL1の容量値で決まる傾きを持つ線である。このときのビット線対BL0、BL1に読み出される電位差は、点Z1と点J1との電位差ΔV5となる。

【0107】一方、通常読み出し用のダミーセルDC1～DC4を用いて読み出し動作を行なった場合には、ビット線には点Fから点Dに向かうヒステリシス曲線上の点Jに電位が現われるので、ビット線対の電位差は図12に示すΔV6となる。

【0108】図12に示すように、メモリセルの良否判定にパスするためにはΔV5がセンスアンプの感度以上であることが必要であり、通常動作に比べてメモリセルキャパシタ12の残留電荷量はより多く残っている必要がある。従って、検査モード用ダミーセル回路80からビット線に印加される電圧が大きい分、メモリセルキャパシタ12に対するストレス付与の時間が短くて済むため、高効率となり、また、通常の読み出し動作に比べ、メモリセルの残留電荷量のマージンを持った検査が行なえるため、高信頼性の製品を確保できる。

【0109】以上説明したように、本実施形態によると、全ビット線BL0～BL3を一度に活性化できるビット線電位供給回路30と、全ワード線WL0～WL3を一度に活性化できるワード線電位供給回路40と、全セルプレート線CP0、CP1を一度に活性化できるセルプレート電位供給回路50と、通常のダミーセルキャパシタ22等の容量よりも大きな検査モード用のダミーセルキャパシタ82等を有する検査モード用ダミーセル80とを備えているため、全メモリセルMC1～MC8（MC5～MC8は図示せず）に対して一括してセルプレート線CP0、CP1を用いたディスターブストレスを与えた後、センスアンプ71、72と検査モード用のダミーセルキャパシタ82等を用いてデータの読み出しを行なうことにより、メモリセルキャパシタ12が接続されているアクセストランジスタ11のジャンクションリーク電流やサブスレッショルド電流の大きさを通常動作よりも動作マージンをもって評価又は検査することができる。

【0110】なお、本実施形態においては、メモリセルアレイ10を8つのメモリセルMC1～MC8で構成したがこれに限るものではない。従って、メモリセルアレイ10に多数のメモリセルを含む場合には、各ビット線電位供給回路30、ワード線電位供給回路40及びセルプレート線電位供給回路50を、ビット線等の各制御線を制御するのに適当な本数となるように分割してもよい。

【0111】また、各実施形態におけるメモリセルMC1～MC8及びダミーセルDC1～DC8はNチャネルトランジスタを用いて構成されているが、Pチャネルトランジスタを用いても実現できることはいうまでもない。

【0112】

【発明の効果】請求項1の発明に係る半導体メモリ装置によると、複数のセルプレート線にわたる複数のメモリセルに一度にディスターブ現象を生じさせるストレスを

付与することができるため、短時間に製品の良否の選別検査を行なえるので、選別検査を効率よく行なえると共に、ひいてはコストの低減を図ることができる。

【0113】請求項2の発明に係る半導体メモリ装置によると、セルプレート線電位昇圧手段には、該セルプレート線電位昇圧手段がセルプレート線を昇圧する昇圧時間を変更する外部信号が入力される外部信号入力端子が設けられているため、センスアンプにおける読み出しが不可能となる時間を測定することにより、ジャンクションリーク電流やサブスレッショルド電流の大きさを評価できる。また、昇圧する時間を固定すればジャンクションリーク電流やサブスレッショルド電流の大きな製品を判定できるのでそれらを不良品として確実に選別することができる。

【0114】請求項3の発明に係る半導体メモリ装置によると、請求項2の発明に係る半導体メモリ装置の効果が得られる上に、外部信号が所定電位と接地電位との間を交互に変化するパルス信号であるため、パルス周期、パルス幅又はパルス数を実動作に一致させることにより、製品として保証しなければならないセルプレート線デイスターブ現象への耐性を評価することができる。

【0115】請求項4の発明に係る半導体メモリ装置によると、メモリセルアレイが形成されている半導体基板と同一の基板上に形成されており、パルス信号を出力する発振回路をさらに備えているため、セルプレート線デイスターブ現象への耐性を確実に評価できると共に、装置の高集積化が容易となる。

【0116】請求項5の発明に係る半導体メモリ装置によると、請求項1の発明に係る半導体メモリ装置の効果が得られる上に、スクリーニングの読み出し動作時のみ活性化される第2のダミーセルを備えているため、ストレス付与後の読み出し動作時に動作マージンを考慮した検査が可能となる。

【0117】請求項6の発明に係る半導体メモリ装置によると、第2のダミーセルにおけるダミーセルキャパシタの容量は第1のダミーセルにおけるダミーセルキャパシタの容量よりも大きいので、第2のダミーセルからビット線に印加される電圧が大きい分、強誘電体キャパシタに対するストレス付与の時間が短くて済むため、高効率となる。また、通常の読み出し動作に比べ、メモリセルの残留電荷量のマージンを持った検査が行なえるため、高信頼性の製品を確保できる。

【0118】請求項7の発明に係る半導体メモリ装置の検査方法によると、複数のセルプレート線にわたる複数のメモリセルに一度にデイスターブ現象の加速的なストレスを印加し、その影響を短時間に評価することができる。これにより、選別検査を効率よく行なえると共に、コストの低減を図ることができる。

【0119】請求項8の発明に係る半導体メモリ装置の検査方法によると、請求項7の発明に係る半導体メモリ

装置の検査方法の効果が得られる上に、セルプレート線に対してパルス信号を印加するため、複数のメモリセルに一度にデイスターブ現象と等価なストレスを付与することができる。すなわち、強誘電体キャパシタを有するメモリセルの保持データの劣化が、そのメモリセルが保証されるべき期間内に受けるセルプレート線からのストレスと時間的に等価か、それ以上のストレスを短時間に加えることができる。これにより、きわめて効率よく検査を行なえると共に、出荷時の良品の選別に該検査を用い10 いれば、高信頼性且つ低コストの半導体メモリ装置を確保できる。

【0120】請求項9の発明に係る半導体メモリ装置の検査方法によると、請求項7の発明に係る半導体メモリ装置の検査方法の効果が得られる上に、第2のダミーセルのセル容量を大きくすることにより、第2のダミーセルからビット線に印加される電圧が大きい分、強誘電体キャパシタに対するストレス付与の時間が短くて済むため、効率化が図れる。また、通常の読み出し動作に比15 べ、メモリセルの残留電荷量のマージンを持った検査が行なえるため、高信頼性を有する製品を確保できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る強誘電体キャパシタを有する半導体メモリ装置の回路図である。

【図2】本発明の第1の実施形態に係る半導体メモリ装置の読み出し動作を表わすタイミングチャートである。

【図3】本発明の第1の実施形態に係る半導体メモリ装置の第1の検査方法を表わし、ストレス準備工程とストレス付与工程との動作を表わすタイミングチャートである。

30 【図4】本発明の第1の実施形態に係る半導体メモリ装置の第1又は第2の検査方法を表わし、判定工程の動作を表わすタイミングチャートである。

【図5】本発明の第1の実施形態に係る半導体メモリ装置の第1の検査方法におけるストレス付与後の電圧と電荷量との関係を示すグラフである。

【図6】本発明の第1の実施形態に係る半導体メモリ装置の第2の検査方法を表わし、ストレス準備工程とストレス付与工程との動作を表わすタイミングチャートである。

40 【図7】本発明の第1の実施形態に係る半導体メモリ装置の第2の検査方法におけるストレス付与後の電圧と電荷量との関係を示すグラフである。

【図8】本発明の第2の実施形態に係る強誘電体キャパシタを有する半導体メモリ装置の回路図である。

【図9】本発明の第2の実施形態に係る半導体メモリ装置の読み出し動作を表わすタイミングチャートである。

【図10】本発明の第2の実施形態に係る半導体メモリ装置の検査方法を表わし、ストレス準備工程とストレス付与工程との動作を表わすタイミングチャートである。

50 【図11】本発明の第2の実施形態に係る半導体メモリ

## 31

装置の検査方法を表わし、判定工程の動作を表わすタイミングチャートである。

【図12】本発明の第2の実施形態に係る半導体メモリ装置の検査方法におけるストレス付与後の電圧と電荷量との関係を示すグラフである。

【図13】従来の半導体メモリ装置の回路図である。

【図14】従来の強誘電体キャパシタを有する半導体メモリ装置における読み出し動作時の電圧と電荷量との関係を表わすグラフである。

【図15】従来の半導体メモリ装置の読み出し動作を表わすタイミングチャートである。

【図16】従来の半導体メモリ装置の読み出し動作時におけるディスタープ現象を表わすグラフである。

【符号の説明】

Vcc	電源線
WL 0	ワード線
WL 1	ワード線
WL 2	ワード線
WL 3	ワード線
BL 0	ビット線
BL 1	ビット線
BL 2	ビット線
BL 3	ビット線
CP 0	セルプレート線
CP 1	セルプレート線
1 0	メモリセルアレイ
1 1	アクセストランジスタ
1 2	メモリセルキャパシタ
1 3	ストレージノード
MC 1	メモリセル
MC 2	メモリセル
MC 3	メモリセル
MC 4	メモリセル
MC 5	メモリセル
MC 6	メモリセル
MC 7	メモリセル
MC 8	メモリセル
2 0	ダミーセル回路
2 1	アクセストランジスタ
2 2	ダミーセルキャパシタ
2 3	リセットトランジスタ
2 4	ストレージノード
2 5	アクセストランジスタ
2 6	ダミーセルキャパシタ
2 7	リセットトランジスタ
2 8	ストレージノード
DC 1	ダミーセル (第1のダミーセル)
DC 2	ダミーセル (第1のダミーセル)
DC 3	ダミーセル (第1のダミーセル)
DC 4	ダミーセル (第1のダミーセル)

## 32

ビット線電位供給回路 (ビット線電位昇圧

手段)

ビット線電位供給トランジスタ

ビット線電位供給トランジスタ

ビット線電位供給トランジスタ

ビット線電位供給トランジスタ

ワード線電位供給回路 (ワード線電位昇圧

手段)

ワード線電位供給トランジスタ

ワード線電位供給トランジスタ

ワード線電位供給トランジスタ

ワード線電位供給トランジスタ

セルプレート線電位供給回路 (セルプレー  
ト線電位昇圧手段)

セルプレート線電位供給トランジスタ

セルプレート線電位供給トランジスタ

セルプレート線電位供給トランジスタ

セルプレート線電位供給トランジスタ

インバータ

20 スイッチトランジスタ

6 2 スイッチトランジスタ

6 3 スイッチトランジスタ

6 4 スイッチトランジスタ

7 1 センスアンプ (ビット線電位検知手段)

7 2 センスアンプ (ビット線電位検知手段)

8 0 検査モード用ダミーセル回路

8 1 アクセストランジスタ

8 2 ダミーセルキャパシタ

8 3 リセットトランジスタ

30 8 4 ストレージノード

8 5 アクセストランジスタ

8 6 ダミーセルキャパシタ

8 7 リセットトランジスタ

8 8 ストレージノード

DC 5 ダミーセル (第2のダミーセル)

DC 6 ダミーセル (第2のダミーセル)

DC 7 ダミーセル (第2のダミーセル)

DC 8 ダミーセル (第2のダミーセル)

9 1 ワード線選択回路

40 9 2 セルプレート線選択回路

9 3 ダミーワード線選択回路

φA ビット線電位供給トランジスタ制御信号

φB ワード線電位供給トランジスタ制御信号

φC セルプレート線電位供給トランジスタ制御

信号

φD セルプレート線駆動信号 (外部信号)

φP ビット線プリチャージ制御信号

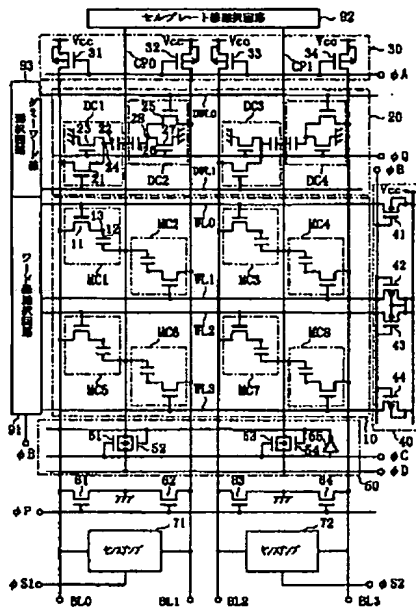
φQ ダミーセルリセット制御信号

φR ダミーセルリセット制御信号

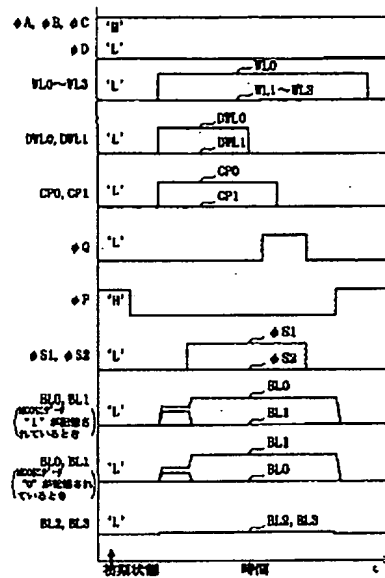
50 φS 1 センスアンプ制御信号

φS2 センスアンプ制御信号

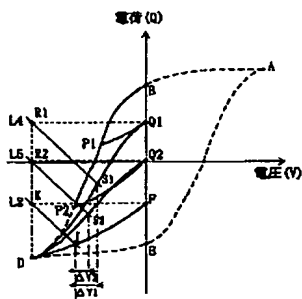
【図1】



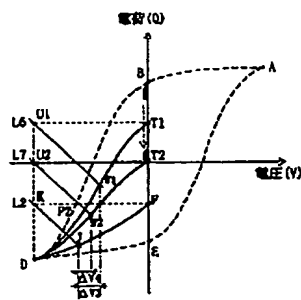
【図2】



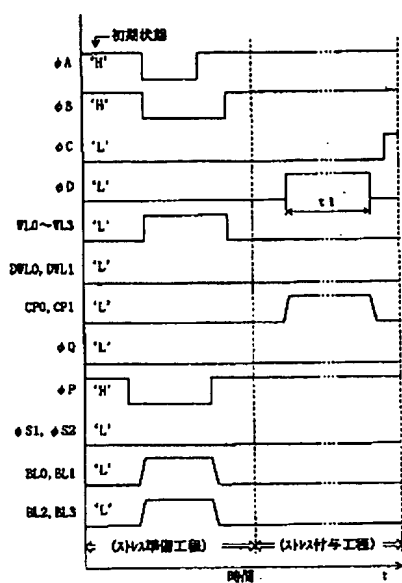
【図5】



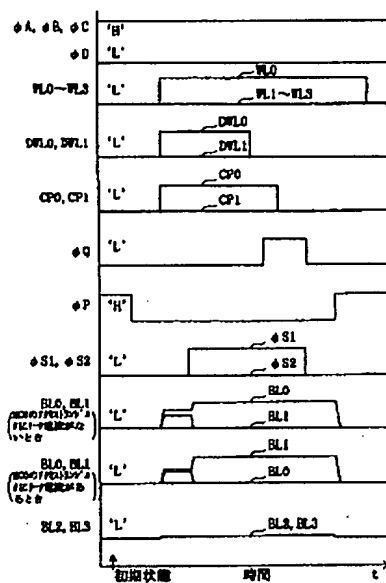
【図7】



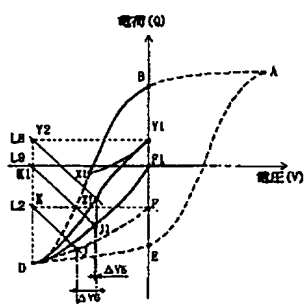
【図3】



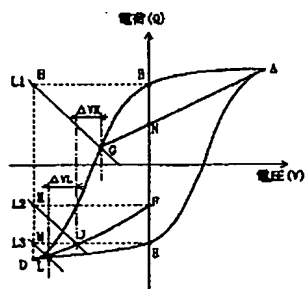
【図4】



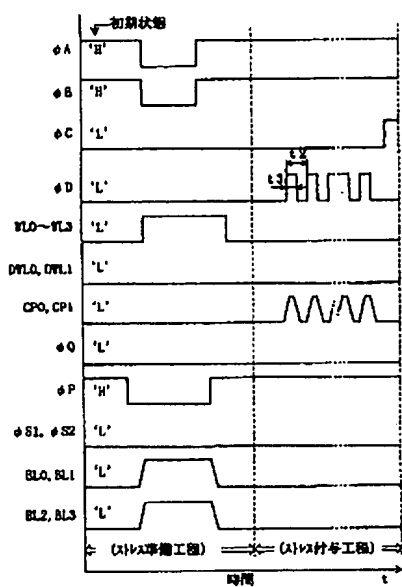
【図12】



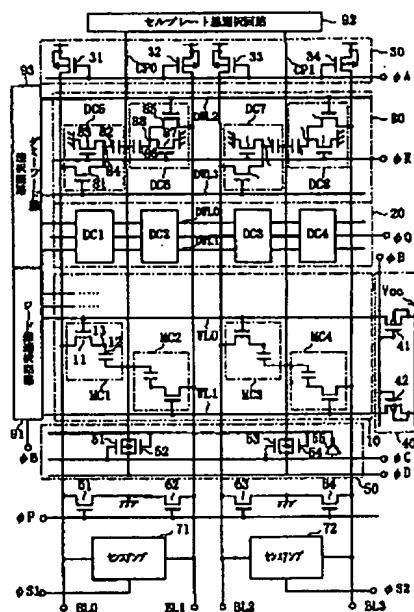
【図14】



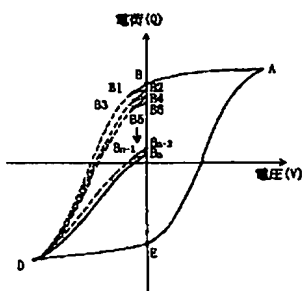
【図6】



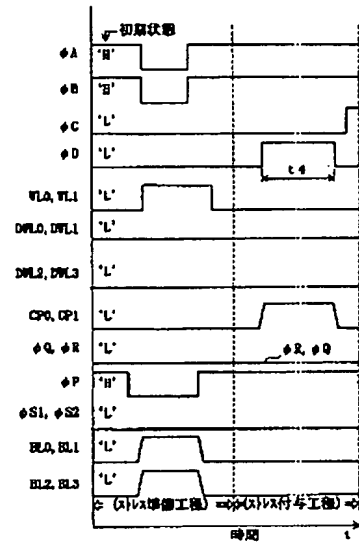
【図8】



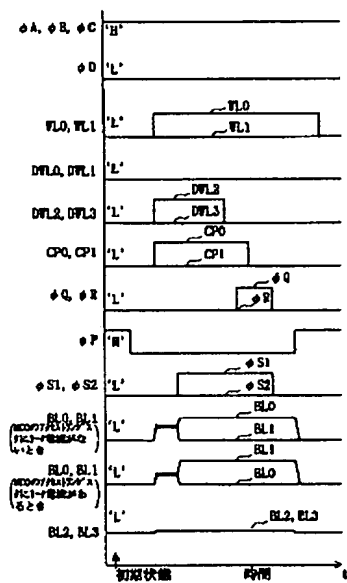
【図16】



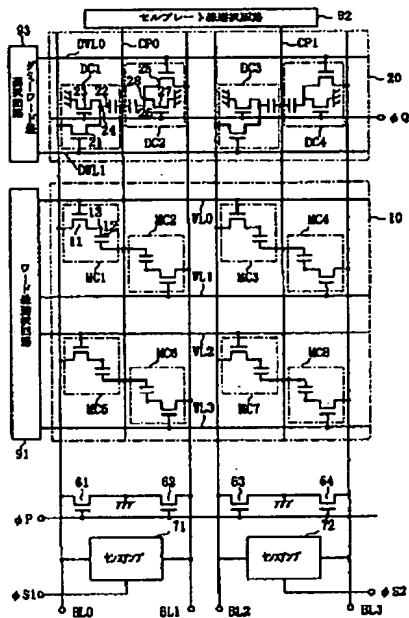
【☒ 1 0】



【図11】



【図13】





【図15】

